

일반적으로 플래쉬 메모리 셀의 프로그램 과정은 바이트 단위 또는 워드 단위로 프로그램을 실시하고 검증(verify)을 실시한다. 검증 결과 모든 셀이 정확히 프로그램된 경우에는 패스(pass)하고 하나의 비트라도 프로그램 동작이 정상적으로 수행되지 않은 경우에는 패일(fail) 처리를 하여, 전체 바이트 또는 워드에 대하여 재프로그램을 실시한다. 이러한 과정을 모든 셀이 정확하게 프로그램될 때까지 반복하되, 일정 회수를 반복한 후에도 패일이 발생하면 전체 바이트 또는 워드는 불량처리한다.

플래쉬 메모리 셀은 임의의 데이터를 저장하기 위해 먼저 소거 과정을 반드시 수행해야 한다. 왜냐하면, 메모리 셀은 '1' 데이터를 '0'으로 변환할 수는 있지만 '0' 데이터를 '1' 데이터로 변환할 수 없는 특성을 갖기 때문이다. 따라서, 모든 메모리 셀에 대하여 소거 과정을 실시하여 '1' 상태가 되도록 한다. 이후의 프로그램 동작시 바이어스 조건은 다음 [표 1]과 같다.

[표 1]

프로그램데이터	Vcg	Vd	Vs	Vb
0	9V	5V	0V	0V
1	9V	0V	0V	0V

[표 1]에서 알 수 있는 바와 같이 메모리 셀에 '0' 데이터를 기록할 때에는 드레인 전압(Vd)을 5V로 하여 프로그램하고, '1' 데이터를 기록할 때에는 드레인 전압(Vd)을 0V로 하여 메모리 셀에 '1' 데이터가 계속 유지되도록 한다.

도 1은 종래 플래쉬 메모리 셀의 프로그램 검증 회로를 설명하기 위해 도시한 회로도이다.

Y-디코더의(12) 선택신호(Y-sel)에 의해 메모리 셀 어레이(11)에서 바이트 또는 워드 단위로 셀(C10 내지 C1n)이 선택되어지고, 셀의 워드라인(WL10 내지 WL1n)에 고전위의 전압이 인가되면, 센싱부(13)에서 각 셀(C10 내지 C1n)이 갖는 데이터를 센싱한다. 각 메모리 셀의 센싱된 결과는 비교부(14)로 입력되어, 프로그램 데이터(pdata)와 함께 각각 제 1 논리 수단(G10 내지 G1n)에서 비교된 후, 제 2 논리수단(G100)에서 조합된다. 제 2 논리수단(G100)의 출력 신호(PASSb)에 따라 메모리 셀 프로그램 결과의 패스 또는 패일 여부가 결정된다. 여기에서, 제 1 논리 수단(G10 내지 G1n)은 입력 신호가 서로 다를 경우 고전위를 출력하는 회로로서, 예를 들어 익스클루시브 오알(EX-OR)게이트를 사용하여 구성한다. 또한, 제 2 논리 수단(G100)은 입력 신호가 모두 고전위일 경우에만 저전위를 출력하는 회로로서, 예를 들어 낸드(NAND) 게이트를 사용하여 구성한다.

예를 들어, 프로그램 데이터(pdata<0> 내지 pdata<n>)가 '0'이고, 메모리 셀(C10 내지 C1n)에 '0'데이터가 프로그램되어 있는 경우를 설명하면 다음과 같다.

메모리 셀(C10 내지 C1n)에 '0' 데이터가 프로그램되어 있는 경우, 메모리 셀(C10 내지 C1n)의 플로팅 게이트에 핫 캐리어(hot carrier)가 주입되어 있으므로, 센스앰프(SA10 내지 SA1n)의 출력은 저전위가 된다. 이때, 프로그램 데이터(pdata<0> 내지 pdata<n>)의 상태가 저전위이므로 제 1 논리 수단(G10 내지 G1n)의 출력(CMP0 내지 CMPn)은 고전위가 된다. 따라서, 제 2 논리 수단(G100)의 입력단자(CMP0 내지 CMPn)에는 모두 고전위의 전압이 인가되기 때문에, 상기 제 2 논리 수단(G100)의 출력(PASSb)은 저전위 상태가 되어 테스트가 종료된다. 만약, 임의의 한 메모리 셀, 예를 들어 메모리 셀(C10)에 프로그램된 데이터가 프로그램 데이터(pdata<0>)와 일치하지 않는다면 즉, 프로그램 데이터(pdata<0>)가 '0'인 반면 메모리 셀(C10)에 프로그램되어 있는 데이터가 '1'이라면, 센스앰프(SA10)의 출력은 고전위가 되고 제 1 논리 수단(G10)은 저전위를 출력하게 된다. 이 경우, 다른 모든 메모리 셀(C11 내지 C1n)이 정상적으로 프로그램되어 제 2 논리 수단(G100)으로 고전위가 입력되더라도, 메모리 셀(C10)에 의해 제 1 논리 수단(G10)으로부터 저전위가 입력되기 때문에 제 2 논리 수단(G100)의 출력(PASSb)은 고전위가 된다.

제 2 논리 수단(G100)의 출력(PASSb)이 고전위를 출력하게 되면, 프로그램-온 신호(pgmon)가 하이(high) 레벨로 되고 NMOS 트랜지스터(T10 내지 T1n)가 턴온되어, Y-디코더에 의해 선택된 바이트 또는 워드단위의 모든 메모리 셀에 대하여 재프로그램을 실시한다. 이와 같은 재프로그램 과정은 한 비트의 메모리 셀에 패일이 발생한 경우라도 정상적으로 프로그램된 모든 셀을 포함하여 블록 단위로 수행된다. 이에 따라 정상적으로 프로그램된 셀이 다시 프로그램 스트레스를 받게 되어 오버프로그램되고, 오버프로그램된 셀과 재프로그램 후 패스된 셀 간에 문턱전압의 차이가 발생한다. 이러한 문턱전압의 차이는 하나의 메모리 셀에 2개('0' 또는 '1')의 데이터를 저장하는 경우에는 큰 문제점이 되지 않는다. 그러나 하나의 메모리 셀에 2개 이상의 데이터를 저장하는 멀티비트 메모리 셀의 경우에는 문턱전압이 더욱 세분화하여 구분되어 있기 때문에 소자가 오동작하게 되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 프로그램 검증 후 패스된 메모리 셀에 대해서는 더 이상 재프로그램을 실시하지 않고 패일 판정된 메모리 셀에 대해서만 선택적으로 재프로그램을 수행함으로써, 메모리 셀의 오버프로그램을 방지할 수 있는 플래쉬 메모리 셀의 오버프로그램 방지 회로를 제공하는데 그 목적이 있다.

상술할 목적을 달성하기 위한 본 발명에 따른 플래쉬 메모리 셀의 오버프로그램 방지 회로는 워드라인 및 비트라인 간에 다수의 메모리 셀로 이루어진 메모리 셀 어레이와, 선택된 메모리 셀에 흐르는 전류량을 센싱하기 위한 센싱부와, 상기 센싱부의 출력단자에 접속되어 상기 센싱부의 출력을 일정시간 래치시키기 위한 래치부와, 상기 래치부의 출력단자에 접속되어 상기 래치부의 출력값과 프로그램 데이터와의 일치 여부를 확인하기 위한 제 1 논리 수단과와, 상기 제 1 논리 수단 출력값에 따라 프로그램 패스 여부를 확인하기 위한 제 2 논리 수단과, 상기 제 1 논리 수단부의 출력값 및 상기 프로그램 데이터를 비교하여 재프로그램 여부를 결정하기 위한 제 3 논리 수단을 포함하여 구성되는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 2는 본 발명에 따른 플래시 메모리 셀의 오버프로그램 방지 회로를 설명하기 위해 도시한 회로도이고, 도 3은 본 발명에 따른 플래시 메모리 셀 검증 회로의 동작을 설명하기 위해 도시한 타이밍도이다.

프로그램 검증 모드가 되면(도 3의 t31), Y-디코더의(22) 선택신호(Y-select)에 의해 메모리 셀 어레이(21)에서 바이트 또는 워드 단위로 셀(C20 내지 C2n)이 선택되어진다. 셀의 워드라인(WL0 내지 WLn)에 고전위의 전압이 인가되면, 센싱부(23)에서 각 셀(C20 내지 C2n)의 데이터를 센싱한다. 각 메모리 셀(C20 내지 C2n)의 센싱된 결과는 제어 신호(in)에 의해 래치부(24-0 내지 24-n)로 입력(도 3의 t32)되어 각각 래치된다. 래치부(24-0 내지 24-n)가 센스앰프(SA20 내지 SA2n)의 출력을 래치하는 시간은 다음 검증 과정에 의해 센스앰프(SA20 내지 SA2n)로부터의 출력값이 입력되는 시점(도 3의 t33)까지이다. 각 래치부(24-0 내지 24-n)의 출력은 비교부(25)로 입력되어, 프로그램 데이터(pdata<0> 내지 pdata<n>)와 함께 각각 제 1 논리 수단을 구성하는 제 1 논리 수단(G20 내지 G2n)에서 비교된 후, 제 2 논리수단(G200)에서 조합된다. 이 제 2 논리수단(G200)의 출력 신호(PASS)에 따라 메모리 셀 프로그램 결과의 패스 또는 패일 여부가 결정된다. 여기에서, 제 1 논리 수단(G20 내지 G2n)은 입력 신호가 일치하지 않을 경우 저전위를 출력하는 회로로서, 예를 들어 익스클루시브 오알(EX-OR)게이트를 사용하여 구성한다. 또한, 제 2 논리 수단(G200)은 입력 신호가 모두 저전위일 경우에만 고전위를 출력하는 회로로서, 예를 들어 앤드(AND) 게이트를 사용하여 구성한다.

이러한 프로그램 검증 회로의 동작을 프로그램 데이터(pdata<0> 내지 pdata<n>)가 '0'이고, 모든 메모리 셀(C20 내지 C2n)에 프로그램이 정상적으로 수행된 경우를 예로 들어 설명하면 다음과 같다.

검증 모드가 되면(도 3의 t31), 프로그램 온 신호(pgmon)는 로우(low) 레벨이 되고, 메모리 셀(C20 내지 C2n)의 플로팅 게이트에 핫 캐리어(hot carrier)가 주입되어 있으므로, 각 센스앰프(SA20 내지 SA2n)의 출력은 저전위가 된다. 각 센스앰프(SA20 내지 SA2n)의 출력은 각각 래치부(24-0 내지 24-n)로 입력되어(도 3의 t32) 다음 검증 단계에 의한 입력이 있을때까지 래치된다. 래치의 출력은 다음 검증에 의해 센싱 결과가 입력되기 전까지 현재의 래치값을 출력한다. 래치부(24-0 내지 24-n)의 출력은 프로그램 데이터(pdata)와 함께 제 1 논리 수단(G20 내지 G2n)으로 입력된다. 이때, 프로그램 데이터(pdata)의 상태가 저전위이므로 제 1 논리 수단(G20 내지 G2n)의 출력(CMP0 내지 CMPn)은 고전위가 된다. 이후, 제 1 논리 수단(G20 내지 G2n)의 출력(CMP0 내지 CMPn)은 제 2 논리 수단(G200)으로 입력됨과 동시에 제 3 논리 수단(G0 내지 Gn)으로 입력된다. 제 3 논리 수단(G0 내지 Gn)의 또다른 입력 신호는 프로그램 데이터(pdata)이고, 이 경우 프로그램 데이터(pdata)는 저전위이므로 제 3 논리 수단(G0 내지 Gn)의 출력은 저전위가 된다. 이에 의해, 프로그램 온(pgmon) 신호에 의해 구동되는 트랜지스터(T20 내지 T2n)가 턴온 되더라도 더 이상의 프로그램은 수행되지 않는다. 또한, 제 2 논리 수단(G200)의 입력단자(CMP0 내지 CMPn)에는 모두 고전위의 전압이 인가되기 때문에, 제 2 논리 수단(G200)의 출력(PASS)은 고전위 상태가 프로그램이 패스됨을 알 수 있고 테스트는 종료된다.

여기에서, 제 3 논리 수단은 입력 신호가 모두 저전위일 때 고전위를 출력하는 회로로서 예를 들어, 노아(NOR) 게이트를 이용하여 구성한다. 또한, 래치부(24-0 내지 24-n)는 전원단자(Vcc)와 접지단자(Vss) 간에 제 1 및 제 2 PMOS 트랜지스터(P1, P2)와 제 1 및 제 2 NMOS 트랜지스터(N1, N2)를 직렬 접속하고, 제 2 PMOS 트랜지스터(P2)와 제 1 NMOS 트랜지스터(N1)의 접속점과 제 1 논리 수단(G20 내지 G2n)의 입력단자 간에 병렬 연결된 한 쌍의 인버터(I1, I2)를 접속하여 구성한다.

만약 임의의 셀, 예를 들어 메모리 셀(C20)이 정상적으로 프로그램되지 않고, 그 이외의 메모리 셀(C21 내지 C2n)은 정상적으로 프로그램된 경우 본 발명에 따른 프로그램 검증 회로는 다음과 같이 동작한다.

검증 모드가 되면(도 3의 t31), 프로그램 온 신호(pgmon)는 로우(low) 레벨이 되고, 센스앰프(SA20)의 출력은 고전위가 되는 반면 센스앰프(SA21 내지 SA2n)의 출력은 저전위가 된다. 각 센스앰프(SA20 내지 SA2n)의 출력은 각각 래치부(24-0 내지 24-n)로 입력(도 3의 t32)되어 다음 검증 단계에 의한 입력이 있을때까지 래치된다. 래치부(24-0 내지 24-n)의 출력은 프로그램 데이터(pdata<0> 내지 pdata<n>)와 함께 제 1 논리 수단(G20 내지 G2n)으로 입력된다. 이때, 프로그램 데이터(pdata)의 상태가 저전위이므로 제 1 논리 수단(G20)의 출력(CMP0)은 저전위가 되는 반면, 제 1 논리 수단(G21 내지 G2n)의 출력(CMP1 내지 CMPn)은 고전위가 된다. 이후, 제 1 논리 수단(G20 내지 G2n)의 출력(CMP0 내지 CMPn)은 제 2 논리 수단(G200)으로 입력됨과 동시에 제 3 논리 수단(G0 내지 Gn)으로 입력된다. 제 3 논리 수단(G0 내지 Gn)의 또다른 입력 신호는 프로그램 데이터(pdata)이고, 이 경우 프로그램 데이터(pdata)는 저전위이므로 제 3 논리 수단(G0)의 출력은 고전위가 되는 반면 제 3 논리 수단(G1 내지 Gn)의 출력은 저전위가 된다. 이에 의해, 프로그램 온(pgmon<0>)에 의해 트랜지스터(T20)가 턴온되면, 고전위를 갖는 제 3 논리 수단(G0)의 출력값에 의해 메모리 셀(C20)은 재프로그램되게 된다. 그러나 제 3 논리 수단(G1 내지 Gn)의 출력값은 저전위 이므로 트랜지스터(T21 내지 T2n)가 턴온 상태를 유지하더라도 더 이상의 프로그램 과정이 수행되지 않도록 한다. 또한, 제 2 논리 수단(G200)의 입력단자(CMP0)에는 저전위의 전압이 인가되고 입력단자(CMP1 내지 CMPn)에는 모두 고전위의 전압이 인가되기 때문에, 제 2 논리 수단(G200)의 출력(PASS)은 저전위 상태가 되어 프로그램이 패일되었음을 알 수 있게 된다. 이와 같은 방법으로 모든 셀에 프로그램이 정상적으로 수행되면 프로그램을 완료한다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 프로그램이 완료되지 않은 셀에 대해서만 선택적으로 재프로그램을 실시하므로써, 문턱전압의 간격이 세분화된 멀티비트 셀의 오동작을 방지하여 소자의 신뢰성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

워드라인 및 비트라인 간에 다수의 메모리 셀로 이루어진 메모리 셀 어레이와,
 선택된 메모리 셀에 흐르는 전류량을 센싱하기 위한 센싱부와,
 상기 센싱부의 출력단자에 접속되어 상기 센싱부의 출력을 일정시간 래치시키기 위한 래치부와,
 상기 래치부의 출력단자에 접속되어 상기 래치부의 출력값과 프로그램 데이터와의 일치 여부를 확인하기
 위한 제 1 논리 수단과,
 상기 제 1 논리 수단 출력값에 따라 프로그램 패스 여부를 확인하기 위한 제 2 논리 수단과,
 상기 제 1 논리 수단의 출력값 및 상기 프로그램 데이터를 비교하여 재프로그램 여부를 결정하기 위한
 제 3 논리 수단을 포함하여 구성되는 것을 특징으로 하는 플래시 메모리 셀의 오버프로그램 방지 회로.

청구항 2

제 1 항에 있어서,
 상기 래치부는 상기 센싱부의 출력 신호를 제어하기 위한 스위칭부와,
 상기 스위칭부의 출력단자 및 상기 제 1 논리수단의 입력단자간에 병렬접속된 한 쌍의 인버터를 포함하
 여 구성되는 것을 특징으로 하는 플래시 메모리 셀의 오버프로그램 방지 회로.

청구항 3

제 2 항에 있어서,
 상기 스위칭부는 다수의 PMOS 트랜지스터 및 다수의 NMOS 트랜지스터를 직렬 접속연결하여 구성하는 것
 을 특징으로 하는 플래시 메모리 셀의 오버프로그램 방지회로.

청구항 4

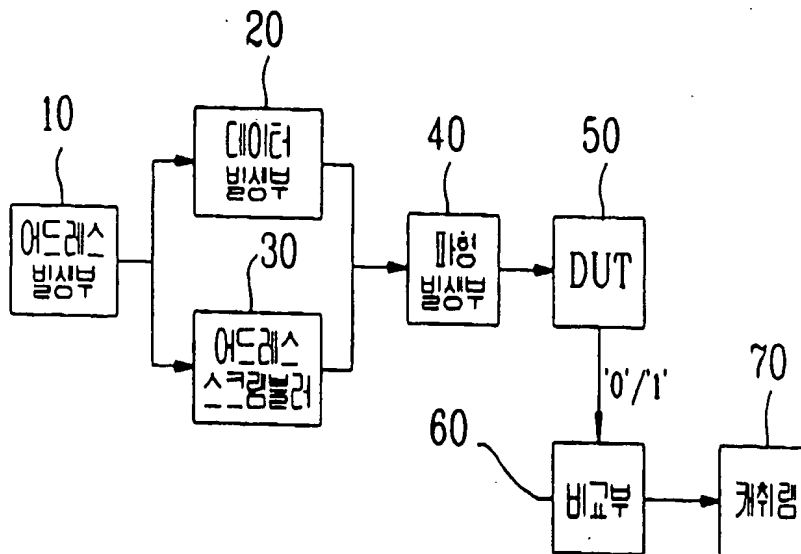
제 1 항에 있어서,
 상기 제 1 내지 제 3 논리 수단은 비교회로로 구성되는 것을 특징으로 하는 플래시 메모리 셀의 오버프
 로그램 방지 회로.

청구항 5

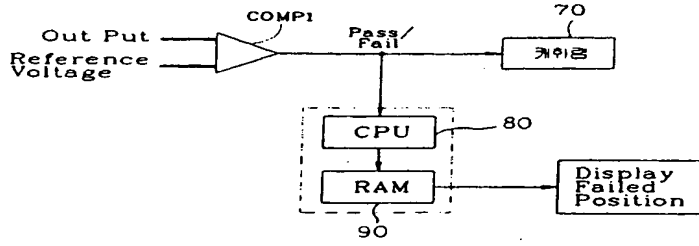
제 4 항에 있어서,
 상기 제 1 내지 3 논리 수단은 익스클루시브-오알 게이트, 앤드 게이트 및 노아 게이트 중 어느 하나를
 이용하여 구성하는 것을 특징으로 하는 플래시 메모리 셀의 오버프로그램 방지 회로.

도면

도면1



도면3



도면2

